

ВВЕДЕНИЕ

В настоящее время существуют две тенденции в проектировании средств вычислительной техники: во-первых, разработка устройств специализированных ЭВМ на основе микропроцессорных средств, во-вторых, реализация ЭВМ с использованием СБИС программируемых логических матриц, матриц программируемых логических элементов, программируемых логических интегральных схем (ПЛИС) и базовых матричных кристаллов. Построение ЭВМ на СБИС связано не только с комплексированием микропроцессорных средств в систему, что отражает первую тенденцию проектирования, но и с применением современных методов логического синтеза арифметико-логических и управляющих устройств, размещаемых на СБИС, а также методов оценки результатов проектирования. В связи с этим подготовка инженеров-системотехников по специальности ЭВМ включает вопросы изучения методики системотехнического и логического проектирования ЭВМ и самостоятельную разработку устройств машины в рамках дисциплины «Организация ЭВМ, комплексов и систем».

1. ЦЕЛЬ И ЗАДАЧИ ПРОЕКТИРОВАНИЯ

Целью курсового проектирования является освоение методики проектирования и разработки операционных и управляющих устройств ЭВМ, а также подготовки технической документации на эти устройства. Курсовой проект является формой самостоятельной работы студентов. В период курсового проектирования студент должен закреплять, углублять и умело применять теоретические знания для решения поставленных практических задач, работать с научно-технической литературой и конспектом лекций.

Основное внимание при выполнении курсового проекта обращается на умение самостоятельно принимать технические решения и обосновывать их.

2. ТЕМАТИКА, КУРСОВОГО ПРОЕКТИРОВАНИЯ

Объектом курсового проектирования является специализированное вычислительное устройство, включающее процессор и запоминающее устройство. Процессор проектируется

для заданного списка команд и должен удовлетворять заданным требованиям технического задания.

Допускается проектирование вычислительных устройств по индивидуальной тематике, связанной с научной работой преподавателей и коллективов кафедр.

3. ИСХОДНЫЕ ДАННЫЕ К КУРСОВОМУ ПРОЕКТУ

В качестве исходных данных для проектирования специализированного вычислительного устройства задаются списки команд разных форматов с ограничениями на адресность и типы адресаций.

При этом используются следующие форматы команд:

RR – "регистр – регистр";

RS – "регистр – ячейка оперативной памяти";

AR – "аккумулятор – регистр";

AS – "аккумулятор – ячейка оперативной памяти";

RI – "регистр – непосредственный операнд";

SI – "ячейка оперативной памяти – непосредственный операнд".

Формирование исполнительного адреса операнда должно быть организовано следующими способами (типами) адресации (ТА):

непосредственной (прямой) адресации (П);

косвенной адресации (К);

относительной адресации (О);

Список операций, выполняемых устройством, должен быть следующим:

арифметические операции:

сложение;

вычитание;

умножение;

деление;

логические операции:

дизъюнкция;

конъюнкция;

сложение по модулю два;

условный переход по значению >0 ;

условный переход по значению <0 ;

условный переход по значению $=0$;

условный переход по переполнению;

безусловный переход;
 вызов подпрограммы;
 возврат из подпрограммы;
 операции с запоминающим устройством:
 запись в запоминающее устройство;
 чтение из запоминающего устройства;
 операции со стеком:
 запись;
 чтение;
 сложение со стеком;
 вычитание из стека;
 операции с внешними устройствами:
 запись во внешнее устройство;
 чтение из внешнего устройства;
 системные операции:
 останов;
 разрешение прерывания;
 запрещение прерывания;
 возврат из прерывания;
 загрузка регистра базы;
 загрузка указателя стека;

Разрядность обрабатываемого слова в АЛУ ограничена.

Устройство управления предлагается разработать в виде трех видов организации:

- с жесткой логикой: ЖЛ;
- с программируемой последовательной логикой (микропрограммные автоматы с хранимой программой): ППЛ;
- с программируемой параллельной логикой (автоматы на программируемых логических матрицах, программируемых матрицах логических элементов, ПЛИС).

Оперативная память определяется тремя параметрами: емкостью, разрядностью слова, временем цикла обращения.

Серия интегральных схем для проектирования специализированного вычислительного устройства выбирается из требований быстродействия, либо задается преподавателем.

Исходные данные для проектирования определяются номером варианта задания и выбираются из таблицы 1

Таблица 1

№ п/п	Характеристики команд			Характерис тики арифметико- логического устройства	Характеристики запоминающего устройства		Элементная база устройства управления	характерист ика данных
1	2			3	4		5	6
	Адрес ность	Формат	Способ адресаци и	Разрядност ь	Разрядность слова	Емкост ь	Тип элементной базы	Разрядность шины данных
1	1	AR, SI	П К О	8	16	32	ЖЛ	32
2	2	AS, RR	П К О	32	8	16	ППЛ	16
3	1	RI, RR	П К О	16	32	64	ПЛИС	64
4	2	AR, AS	П К О	32	16	16	ПЛИС	8
6	1	RI, AS	П К О	8	16	32	ЖЛ	32
7	2	SI, RR	П К О	16	32	64	ППЛ	64
8	1	RR, RI	П К О	32	16	16	ЖЛ	8
9	2	AR, SI	П К О	8	16	32	ПЛИС	32
10	1	SI, AS	П К О	8	32	16	ППЛ	64
11	2	RR, SI	П К О	16	8	32	ППЛ	32
12	1	AS, RR	П К О	32	64	8	ЖЛ	16
13	2	SI, AS	П К О	16	32	16	ПЛИС	64
14	1	RR, AR	П К О	32	16	32	ППЛ	8
15	2	RI, SI	П К О	32	16	16	ЖЛ	8
16	1	AS, AR	П К О	8	16	16	ЖЛ	32
17	2	SI, RS	П К О	16	8	32	ПЛИС	32
18	1	AS, SI	П К О	8	16	8	ППЛ	32
19	2	RS, AS	П К О	16	32	64	ЖЛ	64

20	1	RR, RS	П К О	32	64	32	ЖЛ	16
21	2	SI, AS	П К О	16	8	16	ППЛ	32
22	1	AS, RI	П К О	8	32	64	ПЛИС	16
23	2	RI, AR	П К О	8	16	16	ПЛИС	32
24	1	AR, RR	П К О	16	32	32	ЖЛ	64
25	2	SI, RS	П К О	8	16	64	ППЛ	32
26	1	RR, AS	П К О	32	64	16	ЖЛ	16
27	2	SI, RI	П К О	16	32	32	ПЛИС	64
28	1	RR, RS	П К О	32	64	16	ППЛ	16
29	2	RI, AS	П К О	16	8	32	ППЛ	32
30	1	AR, AS	П К О	8	16	8	ЖЛ	32
31	2	SI, RR	П К О	8	32	16	ПЛИС	16
32	1	AR, RR	П К О	16	32	32	ППЛ	64
33	2	RI, SI	П К О	32	16	16	ЖЛ	64
34	1	RS, AR	П К О	16	64	16	ЖЛ	32
35	2	AR, RR	П К О	8	32	32	ПЛИС	16
36	1	AS, RI	П К О	16	8	8	ППЛ	32
37	2	RI, RR	П К О	8	16	64	ЖЛ	32
38	1	RS, SI	П К О	32	16	8	ЖЛ	64
39	2	AR, RR	П К О	16	64	16	ПЛИС	32
40	1	RI, RS	П К О	8	32	32	ППЛ	16
41	2	RR, AS	П К О	16	32	16	ЖЛ	64
42	1	AR, SI	П К О	16	64	16	ППЛ	32
43	2	RI, RR	П К О	32	16	32	ЖЛ	64
44	1	SI, AS	П К О	8	16	8	ПЛИС	32
45	2	RR, RS	П К О	32	64	64	ПЛИС	16
46	1	RR, AS	П К О	16	8	32	ЖЛ	64
47	2	RI, SI	П К О	8	32	16	ППЛ	16

4. ЗАДАНИЕ НА КУРСОВОЙ ПРОЕКТ

Темой курсового проекта является "Специализированное вычислительное устройство". Курсовой проект выполняется на основе утвержденного руководителем проекта задания. Задание на курсовой проект выдается в индивидуальном порядке на 1-й неделе семестра.

Варианты заданий приведены в таблице 1. Задание на проектирование оформляется на типовом бланке.

Образец оформления задания приведен в приложении 1.

В задании на курсовой проект определены две части – расчетная (логическая) часть (содержание пояснительной записки: см. табл. 5) и графическая часть (перечень графического материала).

В содержании пояснительной записки курсового проекта указывается перечень основных вопросов, подлежащих разработке, а именно:

1. Разработка структурной схемы вычислительного устройства.
2. Выбор системы команд и определение форматов команд вычислительного устройства..
3. Разработка алгоритма командного цикла вычислительного устройства.
4. Проектирование операционного автомата устройства выполнения команд.
5. Разработка алгоритмов выполнения арифметических и логических операций.
6. Проектирование операционного автомата арифметико-логического устройства.
7. Проектирование операционного автомата вычислительного устройства.
8. Разработка системы памяти вычислительного устройства.

В перечне графического материала задания указывается электрическая функциональная схема вычислительного устройства в целом, электрическая принципиальная схема одного блока спроектированного устройства по указанию преподавателя на интегральных схемах выбранной серии и алгоритмы выполнения командного цикла.

5. ОБЪЕМ КУРСОВОГО ПРОЕКТА

Курсовой проект включает в себя пояснительную записку объемом около 30 страниц стандартного формата А4 и графическую

часть, состоящую из двух листов формата А1 чертежей алгоритма выполнения командного цикла и электрической функциональной схемы устройства.

6. ПОРЯДОК ВЫПОЛНЕНИЯ КУРСОВОГО ПРОЕКТА

В предлагаемом курсовом проекте необходимо разработать процессор и организацию его взаимодействия с запоминающими и внешними устройствами. Составляется граф-схема алгоритма, включающая в себя алгоритм командного цикла и алгоритмы операций; выполняется синтез функциональных схем операционных автоматов устройства выполнения команд и АЛУ, синтез автомата блока управления устройством выполнения команд и синтез автомата блока управления АЛУ, разрабатывается функциональная электрическая схема процессора. По граф-схемам алгоритмов производится расчет длительности выполнения каждой операции. Электрическая функциональная схема процессора komponуется из названных выше схем операционных автоматов и блоков управления.

Структурная схема разрабатываемого вычислительного устройства выглядит следующим образом (рис. 1).

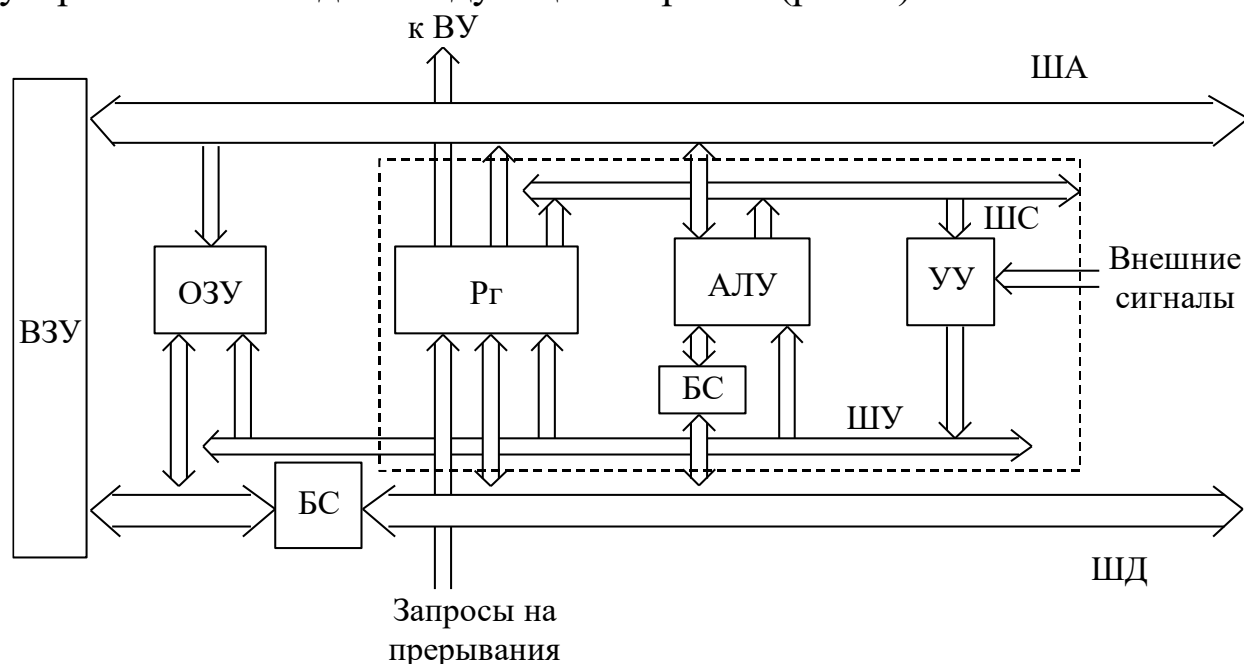


Рис. 1. Структурная схема вычислительного устройства, где ОЗУ - оперативное запоминающее устройство, Рг - блок регистров и логических схем, АЛУ - арифметико-логическое устройство (устройство управления АЛУ не показано), УУ - устройство управления, БС - блок согласования разрядности шин, ША - шина

адреса, ШД - шина данных, ШС - шина состояния, ШУ - шина управления, ВУ - внешние устройства.

Рекомендуется следующий порядок выполнения курсового проекта.

1. Разрабатывается структурная схема вычислительного устройства, включающая основные блоки и связи между ними. При проектировании определяется состав блоков, их функциональное назначение, разрядность шин данных и адреса, характеристика шины состояний (состав логических условий), уясняются цепи преобразования и пересылок данных и команд, обеспечивающие выполнение заданного набора операций. Так, для структурной схемы вычислительного устройства, представленной на рис.1, определяются функции УУ, АЛУ, запоминающего устройства (ОЗУ), регистровой памяти (Rg), блоков согласования (БС). Оцениваются разрядности ШД и ША. Оценивается состав ШС и ШУ [2–5,10].

2. На основании заданного набора операций, требований к формированию исполнительных адресов операндов и структур команд определяется множество команд. Для каждой команды определяется ее формат: состав, назначение и расположение полей. Следует помнить, что для любой команды в ее формате обязательно должен присутствовать ее предварительно закодированный код, тип адресации, признак формата команды и ее поля в зависимости от конкретного типа. Например, в случае формата SI общий формат команды может быть представлен следующим образом (рис.1а).

КОП	ФК	ТА	S	I
-----	----	----	---	---

Рис. 1а. Формат команды SI

Здесь КОП – код операции, ФК – признак формата, ТА – тип адресации, S – адрес ячейки оперативной памяти и I – непосредственный выполняемый операнд.

После этого необходимо определить формат команды, отличающийся от ее структуры разметкой номеров разрядов (бит), определяющих границы отдельных полей команд и указанием числа бит в определенных полях [3,4]. Оценивается длина каждого поля для определенных форматов и кодируются поля для заданного множества набора операций. Необходимо минимизировать число

разных используемых форматов команд. Заполняется содержательная таблица 2, общий вид которой представлен ниже.

Таблица 2

Код операции	Формат команды	Тип адресации (ТА)	код ТА	Содержание операции
Арифметические операции				
Сложение (0...00)	SI	П	00	OP[S]:=OP[S] + I
		К	01	
		О	10	

В поле «Содержание операции» необходимо вносить принцип выполнения данной операции в соответствии с предполагаемыми полями формата команды. Для поля «код ТА» необходимо предусмотреть два бита, так как для двух операндов возможно четыре типа адресации. В поле «код операции» вносят предварительно закодированный код данной команды. Определение разрядности полей осуществляется по формуле $n = \lceil \log_2 M \rceil$, где M – необходимое количество состояний, n – количество состояний, $\lceil \rceil$ – операция округления в большую сторону.

Для специальных команд, к которым относятся операции со стеком, операции с запоминающим устройством, операции с внешними устройствами и системные операции, формат команды выбирается с учетом требований конкретной команды. Для каждой из этих команд также заполняется содержательная таблица, в которую заносятся поля, характерные для каждой команды. Например, операция записи в стек, относящаяся к группе операций со стеком, может выглядеть следующим образом.

Код операции	Тип операндов	Тип адресации (ТА)	Код ТА	Содержание операции
Операции со стеком				
Запись (0...010)	SI	П	00	OP[SP] := A; SP := SP + 1
		К	01	
		О	10	

где SP – это адрес вершины стека, A – аккумулятор.

3. Разрабатывается обобщенный алгоритм командного цикла процессора с учетом основных этапов его выполнения, а именно:

- инициализация;
- выборка команды;
- формирование адресов операндов;

- анализ кода операции;
- модификация счетчика адресов команд;
- считывание операндов из ОЗУ;
- выполнение операции;
- запись результата выполнения операции в ОЗУ.
- анализ запроса на прерывание;
- подготовка к выполнению, выполнение подпрограммы;
- возврат из подпрограммы.

Алгоритм составляется на основе функций для различных операций и форматов команд, полученных на предшествующем этапе, и изучения литературы [5-10].

4. На основе списков микроопераций и логических условий, выделенных из граф-схемы алгоритма командного цикла и заданной разрядности слов, проектируется операционный автомат устройства выполнения команд в соответствии с методикой, представленной в литературе [10]. Для этого необходимо первоначально разметить алгоритм путем расстановки состояний автомата. Пример разметки представлен на рис. 2 и в таблицах 3, 4, в которых приведен кодированный алгоритм проверки начального состояния устройства.

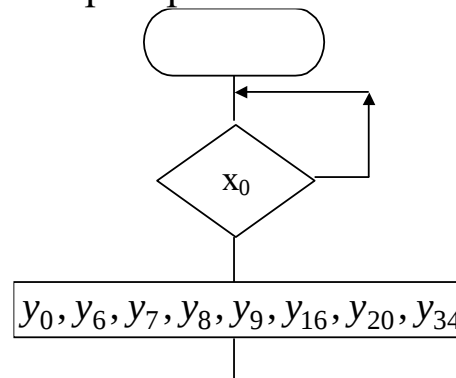


Рис. 2. Разметка граф-схемы алгоритма

Таблица 3. Список микроопераций

Микрооперация	Управляющий сигнал
AIF=0	y ₀
IF=1	y ₆
OF=0	y ₇
SF=0	y ₈
ZF=1	y ₉
PrA=0	y ₁₆
PrB=0	y ₂₀

PrPC=0	У ₃₄
--------	-----------------

Таблица 4. Список логических условий

Логическое условие	Обозначение
RF	X ₀

Данный этап завершается разработкой функциональной схемы операционного автомата устройства выполнения команд, отображающего структурную и функциональную организацию взаимодействия ОЗУ, внешних устройств и основных блоков процессора. На этой схеме не детализируются блоки АЛУ, УУ, ОЗУ и ВУ. Детально прорабатываются все регистры процессора, блоки БС, все тракты пересылки команд и операндов, принципы декодирования и обработки форматов полей всех типов команд. Обязательно указываются все требуемые входные управляющие сигналы операционного автомата $\{y_i\}$, формируемые на входе УУ процессора, и входные логические условия $\{x_j\}$ операционного автомата, подаваемые на вход УУ процессора. Функциональная схема операционного автомата должна выглядеть примерно следующим образом (Рис. 3).

5. Описывается содержание каждой арифметической и логической операции. Выбирается один из возможных методов выполнения арифметических или логических операций, например, умножение абсолютных величин чисел с присвоением знака произведению или умножение непосредственно в дополнительном коде, или ускоренный метод умножения и т.д. Способы выполнения арифметических и логических операций над числами рассмотрены в литературе [5,6,10]. Далее определяются способы выработки признака результата. Например, в операции сложения признак результата образуется, если сумма равна нулю, больше нуля, меньше нуля и при переполнении. Равенство нулю может быть определено с помощью специальных схем анализа на нуль или с помощью микрооперации сложения результата с кодом 11...11.

Переполнение может быть обнаружено на основе анализа двух знаковых разрядов сумматора, если применить модифицированный код, или может быть обнаружено методом сравнения входного и выходного переносов знакового разряда. Если они не совпадают, то имеет место переполнение.

Рис. 3 Функциональная схема операционного автомата устройства выполнения команд в соответствии с алгоритмом командного цикла

Например, операция записи в стек может быть реализована так, как показано на рис. 4.

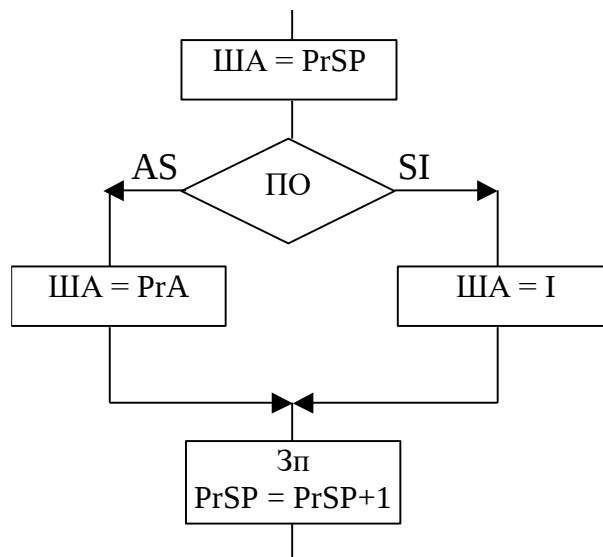


Рис. 4. Пример алгоритма операции записи в стек
Список сокращений на рисунке не расшифровывается из-за их тривиальности.

Все прочие сокращения и условные обозначения, введенные самостоятельно, необходимо обязательно расшифровывать в специальных списках, прилагаемых к соответствующим документам пояснительной записки проекта!

6. Производится проектирование обобщенной граф-схемы алгоритма выполнения операций в АЛУ. При этом необходимо составить списки микроопераций, слов и условий.

7. Проектируется операционный автомат АЛУ, аналогично описанному выше четвертому этапу порядка выполнения курсового проекта. При этом проектируются общий алгоритм его функционирования, как уточнение алгоритма по п.6, размеченный алгоритм функционирования, таблица переходов, список функций возбуждения и управляющих сигналов, а также – функциональная схема операционного автомата, которая может выглядеть, например следующим образом (Рис. 5).

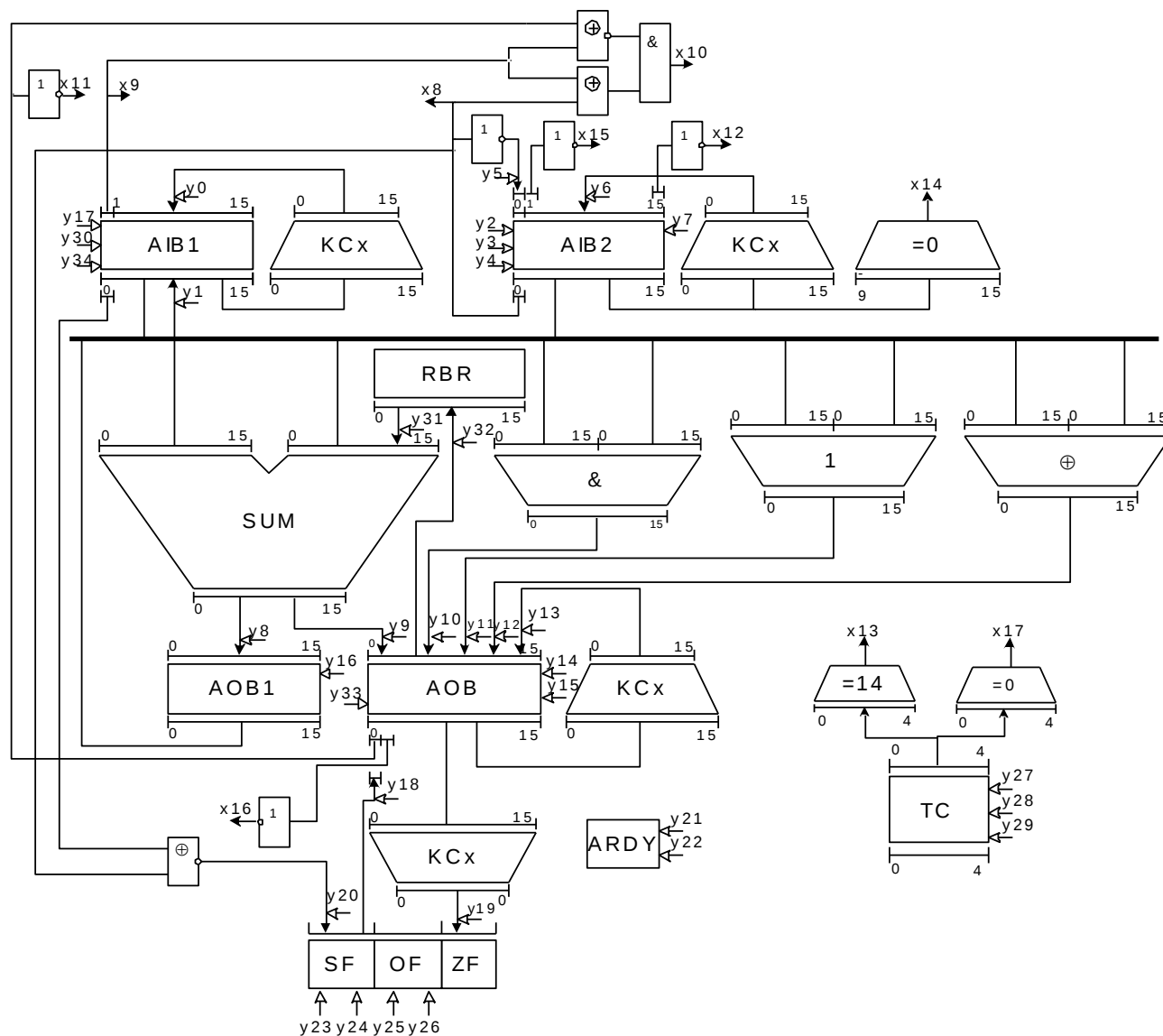


Рис. 5 Функциональная схема операционного автомата АЛУ в соответствии с обобщенным алгоритмом выполнения операций в АЛУ

Алгоритм функционирования АЛУ может изображаться, например, так (Рис. 6):

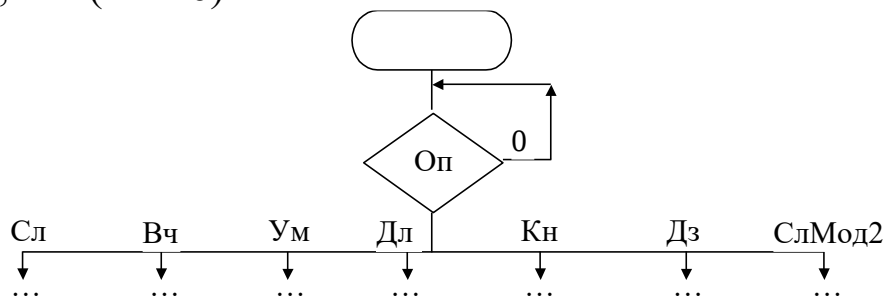


Рис. 6 Алгоритм функционирования АЛУ

Размеченный алгоритм функционирования изображается следующим образом (Рис. 7):

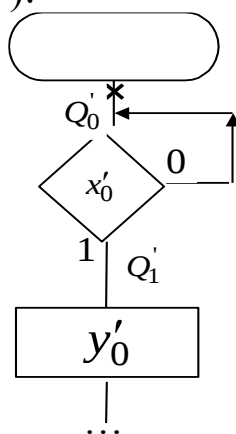


Рис.7 Фрагмент размеченного алгоритма функционирования АЛУ.

Таблица переходов для фрагмента размеченного графа (рис. 7) должна выглядеть следующим образом (Таблица 4)

Таблица 4

Исходное состояние	Конечное состояние	Условие перехода	Управляющие сигналы
Q_0'	Q_0'	$\overline{x'_0}$	—
Q_0'	Q_1'	x'_0	y'_0

8. Разрабатываются управляющие автоматы устройства управления (УУ) процессора. Управляющий автомат представляет собой двухступенчатую структуру, состоящую из блока управления (БУ) устройства выполнения команд и блока управления АЛУ (Рис. 8).

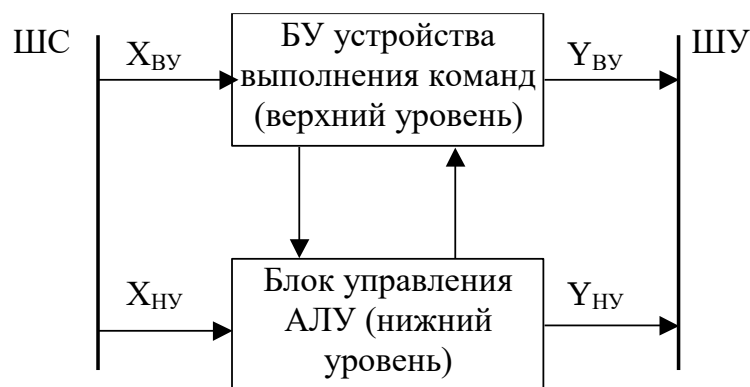


Рис. 8 Двухступенчатая структура устройства управления

Способ организации взаимодействия между автоматами двух названных уровней показан на рис. 9.

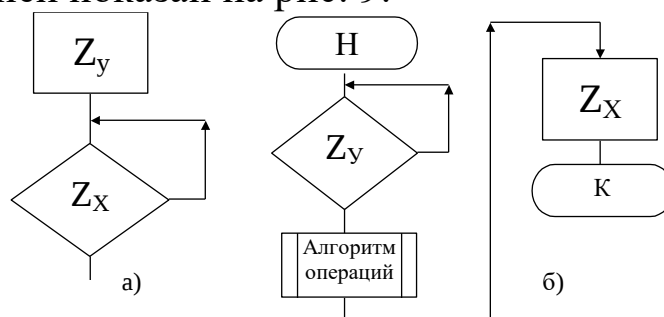


Рис. 9. Взаимодействие управляющих автоматов

На рис. 9а показан фрагмент алгоритма взаимодействия с блоком управления верхнего уровня (БУ устройства выполнения команд), на рис. 9б представлен алгоритм взаимодействия автомата верхнего уровня с блоком управления АЛУ. По сигналу Z_y осуществляется запуск управляющего автомата АЛУ, а по сигналу Z_x выполняется включение заканчивающего работу управляющего автомата верхнего уровня.

В зависимости от требований технического задания выполняется проектирование автомата с жесткой логикой, либо с программируемой логикой, либо разработка управляющего автомата на ПЛИС. На рис. 10 представлен общий вид структуры устройства управления в случае его построения на автомате с жесткой логикой или на ПЛИС.

Проектирование управляющих автоматов различных типов рассмотрено в литературе [6–9].

9. С учетом полученных на предшествующих этапах результатов строится функциональная схема процессора проектируемого вычислительного устройства, как объединение рассмотренных выше двух схем операционных автоматов и двух схем блоков управления устройства обработки команд и АЛУ, а также схем ОЗУ, блоков БС

и устройства прерывания.

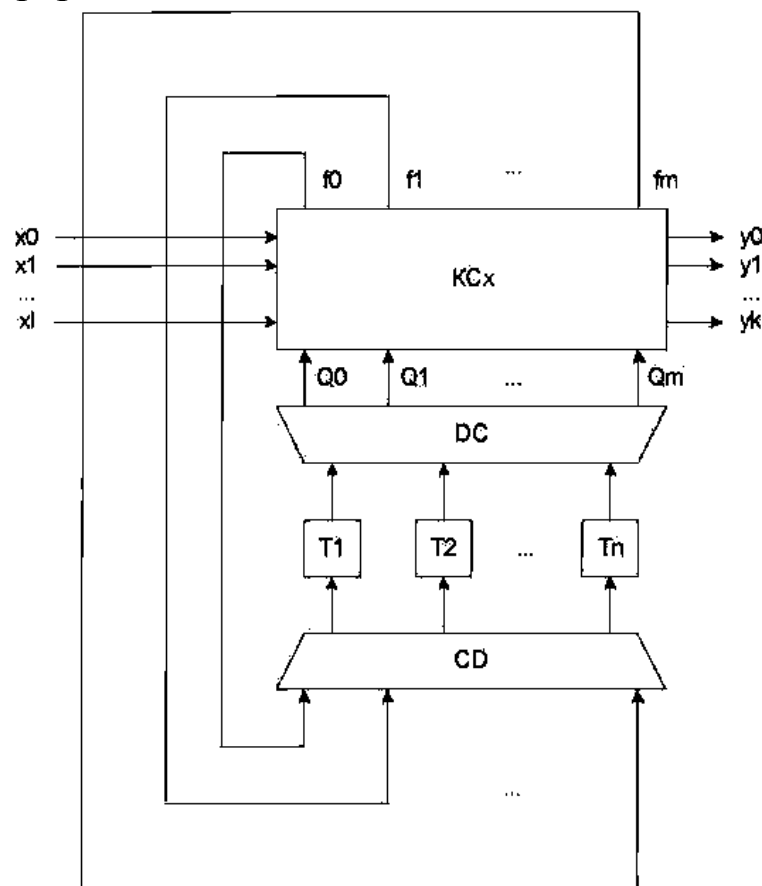


Рис. 10 Структурная схема устройства управления для автомата с жесткой логикой или на ПЛИС

10. Проектируется оперативное запоминающее устройство с заданными характеристиками по емкости и ширине выборки в соответствии с методикой, описанной в литературе [13].

11. На этапе технического проектирования должна производиться детальная разработка процессора с учетом заданной элементной базы или выбранной серии логических элементов [1,12]. В данном проекте составляются либо две электрические принципиальные схемы двух КСХ, формирующих функции переходов в автомате с жесткой логикой или на ПЛИС; либо две двоично-кодированные микроподпрограммы ПЗУ микрокоманд.

График выполнения проекта в форме последовательности этапов самостоятельной работы студентов в течение семестра приведен в таблице 5.

Еженедельные консультации согласно расписанию с отчетом о проделанной работе являются для студентов обязательными. Графический материал предоставляется на нормоконтроль. После выполнения задания, но не позднее, чем за 3 дня до защиты,

курсовой проект предоставляется руководителю на проверку.

Таблица 5

Номер этапа	Содержание этапа	Срок выполнения (№ недели)	Форма отчетности
1	2	3	4
1	Расшифровка и анализ задания	1-2	Бланк задания
2	Разработка структурной схемы вычислительного устройства	3-4	Структурная схема, характеристика блоков и связей
3	Выбор системы команд и определение форматов команд вычислительного устройства	4-5	Форматы команд, кодирование, таблицы
4	Разработка алгоритма командного цикла вычислительного устройства	6-7	ГСА алгоритма, список МО, слов, условий
5	Проектирование операционного автомата устройства выполнения команд	8-9	Схема электрическая функциональная ОА устройства выполнения команд
6	Разработка алгоритмов выполнения арифметических и логических операций	10-11	ГСА выполнения операций, списки МО, слов, условий
7	Проектирование операционного автомата АЛУ	12-13	Схема электрическая функциональная АЛУ
8	Разработка блока управления вычислительного устройства	14-15	Схема электрическая принципиальная блока управления ВУ
9	Разработка системы памяти вычислительного устройства	15-16	Схема электрическая функциональная системы памяти ВУ
10	Оформление пояснительной записки и графической части курсового проекта	16-17	Пояснительная записка и схемы
11	Защита курсового проекта	17-18	Дифференцированный зачет

7. ЗАЩИТА КУРСОВОГО ПРОЕКТА

Дифференцированный зачет по курсовому проекту проводится в конце семестра по решению кафедры в форме защиты проекта перед комиссией, на которой студент делает доклад и отвечает на заданные вопросы. Зачет выставляется по пятибалльной системе.

8. ПРАВИЛА ОФОРМЛЕНИЯ РЕЗУЛЬТАТОВ ПРОЕКТИРОВАНИЯ

Пояснительная записка строится, примерно, по следующему плану:

- титульный лист;
- аннотация;

- задание на курсовое проектирование (приложение 1);
- содержание (оглавление);
- введение;
- перечень разделов, в которых разрабатываются перечисленные в исходном задании вопросы;
- заключение;
- список использованной литературы;
- приложение.

Образец оформления титульного листа показан в приложении 2.

В аннотации дается краткое изложение содержания проекта. Аннотация состоит из нескольких предложений и приводится на отдельной странице сразу за титульным листом.

В записке обосновывается структура вычислительного устройства, характеризуется система команд, описывается алгоритм командного цикла, процесс проектирования операционного автомата устройства выполнения команд, выбор метода и алгоритма выполнения арифметических и логических операций, этапы разработки операционного автомата арифметико-логического устройства, управляющего блока вычислительного устройства, системы памяти.

По каждому рисунку, таблице и схеме алгоритма обязательно приводится список детальной расшифровки принятых обозначений и сокращений!

В заключении аннотируются основные результаты проделанной работы.

Таблицы и рисунки пояснительной записки рекомендуется выполнять на миллиметровой бумаге и подклеивать в месте ссылки на них в тексте. Если рисунки или таблицы занимают большую часть формата страницы, то их обычно помещают на отдельных листах записки. Каждый из таких листов вкладывают в текст записки вслед за страницей, на которой дана первая ссылка на таблицу или рисунок, помещенный на этом листе, и нумеруют соответствующим порядковым номером.

Текст пишется на одной стороне листа с полями (поля с двух сторон: слева, сверху и снизу - 25 мм, справа - 10 мм), интервал между строчками 8–10 мм). Листы брошюруются в отдельную тетрадь с переплетом из чертежной бумаги, на которой выполнен титульный лист по требованиям приложения 2.

Формулы, параграфы, страницы, рисунки должны иметь

порядковую нумерацию. Ссылки на литературные источники делаются в тексте (например: [3]). Материалы в пояснительной записке должны иметь ясное и последовательное изложение, логическую обоснованность всех элементов решения.

В списке литературы для статей необходимо указывать фамилию, инициалы автора, наименование статьи, наименование журнала, год выпуска, номер, страницы. (Например: Иванов М. А. Контроль хода программ и микропрограмм с использованием сигнатурного анализа // Автоматика и вычислительная техника. 1990. №4, С. 90-94). Если в списке литературы указывается книга, то следует указать автора, наименование книги, год издания, издательство (например, Каган Б. М. Электронные вычислительные машины и системы. М.: Энергоатомиздат, 1991. 592 с.).

Графическая часть курсового проекта выполняется в соответствии с требованиями ЕСКД и действующими ГОСТами на технические средства ЭВМ.

На первом листе формата А1 приводится функциональная схема вычислительного устройства. Функциональная схема должна быть составлена с такой степенью детализации, чтобы в ней нашли отражение заданные и фактически полученные параметры устройства. К ним следует отнести, например, разрядность регистров и счетчиков вычислительного устройства, распределение и разрядность полей регистров, состав управляющих сигналов и организация их формирования, множество логических условий и их состав. При необходимости детального представления некоторые участки схемы изображаются в виде совокупности двоичных логических элементов в соответствии с правилами изображения функциональных схем [14–16].

На втором листе формата А1 приводится обобщенный алгоритм командного цикла процессора, оформленный в соответствии с требованиями ЕСПД [17, 18].

Принципиальные электрические схемы фрагментов КСХ автоматов на жесткой логике или на ПЛИС, а также двоично-кодированные микроподпрограммы ПЗУ микрокоманд приводятся на рисунках в пояснительной записке.

Приложение 1
Образец оформления задания

МИНОБРАНАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ

Юго-Западный государственный университет

Кафедра _____

Задание на курсовой проект (работу)

Студент _____ код _____ группа _____

1. Тема _____

2.Срок представления проекта (работы) к защите

" ____ " _____ 20 ____ г.

3;Исходные данные для проектирования (научного исследования): _____

4.Содержание пояснительной записки курсового проекта (работы)

4.1. _____

4.2. _____

4.3. _____

4.4. _____

4.5. _____

4.6. _____

4.7. _____

5.Перечень графического материала: _____

Руководитель проекта (работы)

(подпись, дата)

(инициалы, фамилия)

Задание принял к исполнению

" ____ " _____ 20 ____ г.

(подпись)

Приложение 2

Образец оформления титульного листа

МИНОБРАНАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ

Юго-Западный государственный университет

Кафедра _____

УТВЕРЖДАЮ:
Зав. кафедрой

" ____ " _____ 20 ____ г.

ПОЯСНИТЕЛЬНАЯ ЗАПИСКА

к курсовому проекту (работе) _____
(наименование учебной дисциплины)

на тему _____

Автор проекта (работы) _____
(подпись, дата) _____ (инициалы, фамилия)

Специальность _____

Обозначение курсового проекта (работы) _____ Группа _____

Руководитель проекта _____
(подпись, дата) _____ (инициалы, фамилия)

Проект (работа) защищен (а) _____ Оценка _____
дата

Члены комиссии _____
(подпись, дата) _____ (инициалы, фамилия)

_____ (подпись, дата) _____ (инициалы, фамилия)

_____ (подпись, дата) _____ (инициалы, фамилия)

_____ (подпись, дата) _____ (инициалы, фамилия)

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Стешенко В.Б. EDA. Практическое автоматизированное проектирование радиоэлектронных устройств. М.: Издатель Молгачева С.В., НОЛИДЖ, 2002. – 768 с.
2. Корнеев В.В., Киселев А.В. Современные микропроцессоры. – М.: НОЛИДЖ, 2000. – 320 с.
3. Каган Б. М. Электронные вычислительные машины и системы. М.: Энергоатомиздат, 1991, – 592 с.
4. Майоров С. А. и др. Введение в микроэвм / С.А. Майоров, В.В. Кириллов, А. А. Приблуда. Л.: Машиностроение, 1988. – 304 с.
5. Самофалов К. Г. Прикладная теория цифровых автоматов. Киев: Выща школа, 1987. – 357 с.
6. Савельев А. Я. Прикладная теория цифровых автоматов. М.: Высшая школа, 1987. – 272 с.
7. Баранов С. И., Складов В. А. Цифровые устройства на программируемых БИС с матричной структурой. М.: Радио и связь, 1986. – 272 с.
8. Жинтелис Г. Б. и др. Автоматизация проектирования микропрограммируемых структур / Г.Б. Жинтелис, Э.К. Карчяускас, Э.К. Мачикенас. Л.: Машиностроение, 1985. – 216 с.
9. Баранов С. И. Синтез микропрограммных автоматов (граф-схема и автоматы). Л.: Энергия, 1979. – 232 с.
10. Майоров С. А., Новиков Т. И. Структура электронных вычислительных машин. Л.: Машиностроение, 1979. – 384 с.
11. Вычислительные машины, системы и сети: Учебник для ВУЗов. / Под ред. А.П. Пятибратова. – Финансы и статистика, 1991. – 400 с.
12. Применение интегральных микросхем в электронной вычислительной технике: Справочник / Р.В. Данилов, С.А. Ельцова, Ю.П. Иванов и др. Под ред. Б.И. Тарабрина, Б.Н. Файзулаева. М.: Радио и связь, 1986. – 360 с.
13. Полупроводниковые БИС запоминающих устройств: Справочник / Баранов В.В., Бекин И.В., Гардонов А.Ю.; Под ред. Гарднова А.Ю., М.: Радио и связь, 1996. – 360 с.
14. ЕСКД. Обозначения условные графические в схемах. Элементы цифровой техники. ГОСТ 2.743-82. М., 1982.
15. ЕСКД. Правила выполнения электрических схем цифровой вычислительной техники. ГОСТ 2.708-81. М., 1981.

16. ЕСКД. Обозначения буквенно-цифровые в электрических схемах. ГОСТ 2.710-81. М., 1981.

17. ЕСПД. Схемы алгоритмов и программ. Правила выполнения. ГОСТ 19.002-80. М., 1980.

18. ЕСПД. Обозначения условные графические. ГОСТ 19.003-80. М., 1980.